

This Page Is Inserted by IFW Operations  
and is not a part of the Official Record

## **BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

**IMAGES ARE BEST AVAILABLE COPY.**

As rescanning documents *will not* correct images,  
please do not report the images to the  
Image Problem Mailbox.

**THIS PAGE BLANK (USPTO)**

Japanese Patent Laid-open Publication No. HEI 7-121402 A

Publication date : May 12, 1995

Applicant : OKI DENKI KOGYO K. K.

Title : TRACING DEVICE FOR PROGRAM



5

(57) [Abstract]

[Object] To provide a program tracing device which can deal with even the cases where the operating frequencies of a microcomputer are different.

10 [Constitution] A Tracing device 1 is provided with a first buffer 11 and a second buffer 12 for storing data, a tracing memory 2 for storing data which is stored in the selected buffer, a counter 3 for indicating an address, and a signal control unit 4 for generating a selection signal, a write signal, and  
15 a count control signal, based on a basic timing signal 10. The signal control unit 4 includes a delay circuit 41 for generating a plurality of delay signals with the input of one basic timing signal 10 as a trigger and a control circuit 42 for generating the selection signal, the write signal, and  
20 the count control signal by using the delay signals.

[0002]

[Prior Art]

A debug device checking whether a program built in a  
25 microcomputer and the like runs accurately or not is provided

**THIS PAGE BLANK (USPTO)**

with a function of displaying and changing the content of a memory and so-called a tracing function of tracing the history at execution of a program. A tracing device for performing this tracing function has the structure as shown in a block diagram of Fig. 3.

[0003]

Namely, the tracing device 1 comprises a tracing memory 2 for storing data (for example, data I and data II) from a microcomputer mainly running the program, a counter 3 for specifying the address of the tracing memory 2 in which the data should be stored, buffers (two buffers; a first buffer 11 and a second buffer 12, in the figures) for storing data, and a signal control unit 4 for controlling these components. By using this tracing device 1, data for every one instruction is written into the tracing memory 2 at a specified address during execution of a program and this content of the tracing memory 2 is referred to after execution of the program, thereby tracing the history of execution.

[0011]

[Means to Solve the Problems]

The present invention is a tracing device for a program in order to solve the problems. The tracing device comprises a plurality of buffers for sequentially storing a plurality of data supplied from a microcomputer through execution of

**THIS PAGE BLANK (USPTO)**

a program, a tracing memory for storing the data stored in  
selected one of these buffers, at a specified address, a counter  
for indicating the address of the tracing memory where the  
data is stored, and a signal control unit for generating a  
5 selection signal for selecting one of the plurality of buffers  
based on the basic timing signal, a write signal for instructing  
the tracing memory to write the data, and a count control signal  
for controlling the counter. This signal control unit  
includes a delay circuit for generating a plurality of delay  
10 signals respectively having the different delay time with the  
input of one basic timing signal as a trigger, and a control  
circuit for generating the selection signal, the write signal,  
and the count control signal by using the plurality of delay  
signals.

15

[0014]

As shown in Fig. 1, this tracing device is to store the  
output data into a memory, through execution of a program in  
a microcomputer, and refer to the data within the memory after  
20 completion of the program, thereby tracing the history of  
operation. It is mainly formed by a first buffer 11 and a  
second buffer 12 sequentially storing two kinds of data; for  
example, data I and data II, a tracing memory 2 for storing  
these data I and data II, a counter 3 for specifying the address  
25 where the data is stored, and a signal control unit 4 for

**THIS PAGE BLANK (USPTO)**



controlling various kinds of signals.

**THIS PAGE BLANK (USPTO)**

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平7-121402

(43) 公開日 平成7年(1995)5月12日

(51) Int.Cl.<sup>6</sup>

G 0 6 F 11/28

識別記号

庁内整理番号

F I

技術表示箇所

3 1 0 B 9290-5B

審査請求 未請求 請求項の数 1 F D (全 6 頁)

(21) 出願番号

特願平5-287375

(22) 出願日

平成5年(1993)10月22日

(71) 出願人 000000295

沖電気工業株式会社

東京都港区虎ノ門1丁目7番12号

(72) 発明者 花輪 誠

東京都港区虎ノ門1丁目7番12号 沖電気  
工業株式会社内

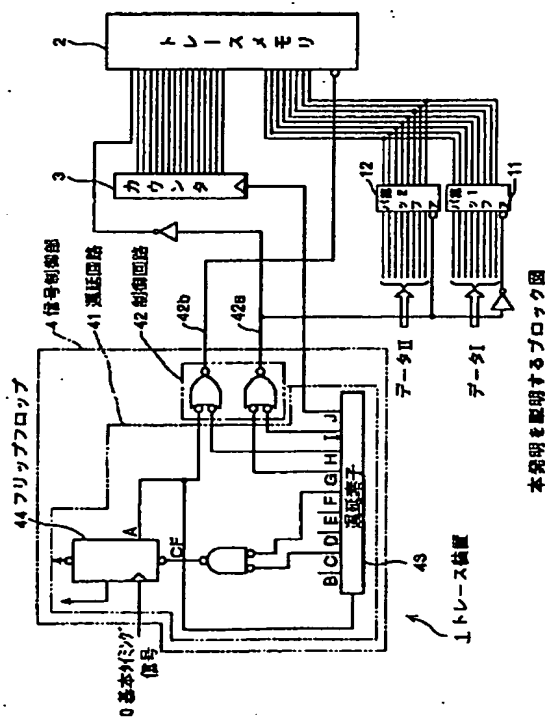
(74) 代理人 弁理士 船橋 國則

(54) 【発明の名称】 プログラムのトレース装置

(57) 【要約】

【目的】 マイクロコンピュータの動作周波数等が異なる場合であっても対応できるプログラムのトレース装置を提供すること。

【構成】 データを格納する第1バッファ11および第2バッファ12と、選択されたバッファに格納されたデータを記憶するトレースメモリ2と、番地を指示するカウンタ3と、基本タイミング信号10に基づいて選択信号および書き込み信号およびカウント制御信号を発生させる信号制御部4とを備えたトレース装置1で、信号制御部4を、一つの基本タイミング信号10の入力をトリガとして複数の遅延信号を発生させる遅延回路41と、遅延信号を用いて選択信号、書き込み信号およびカウント制御信号を発生させる制御回路42とから構成する。



本発明を説明するブロック図

## 【特許請求の範囲】

【請求項1】 プログラムの実行によりマイクロコンピュータから出力される複数のデータをそれぞれ順次格納するための複数のバッファと、該複数のバッファのうち選択された一つに格納されたデータを所定の番地に記憶するトレースメモリと、該トレースメモリに対して該番地を指示するためのカウンタと、基本タイミング信号に基づいて該複数のバッファのうち一つを選択するための選択信号および該トレースメモリに対して該データの書き込みを指示する書き込み信号および該カウンタに対するカウント制御信号を発生させる信号制御部とから成るプログラムのトレース装置において、前記信号制御部は、一つの基本タイミング信号の入力をトリガとして遅延時間がそれぞれ異なる複数の遅延信号を発生させる遅延回路と、前記複数の遅延信号を用いて前記選択信号、前記書き込み信号および前記カウンタ制御信号をそれぞれ発生させる制御回路とから成ることを特徴とするプログラムのトレース装置。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】 本発明は、マイクロコンピュータに組み込まれるプログラムの実行状態を追跡調査するためのプログラムのトレース装置に関するものである。

## 【0002】

【従来の技術】 マイクロコンピュータ等に組み込まれるプログラムが正確に実行するかどうかを検証するデバッグ装置には、メモリの内容を表示／変更したりする機能やプログラムの実行時の履歴を追跡するいわゆるトレース機能などが備えられている。このうちのトレース機能を行うためのトレース装置は、図3のブロック図に示すような構成となっている。

【0003】 すなわち、このトレース装置1は、主としてプログラムを実行するマイクロコンピュータからのデータ（例えば、データIとデータII）を記憶するためのトレースメモリ2と、データをトレースメモリ2のどの番地に記憶させるかを指定するためのカウンタ3と、データを格納するためのバッファ（図では第1バッファ11と第2バッファ12の2つのバッファ）と、これらを制御するための信号制御部4とから構成されている。このようなトレース装置1を用い、プログラムの実行中に1命令毎のデータをトレースメモリ2の指定番地へ書き込み、プログラムの実行後、このトレースメモリ2の内容を参照することで実行履歴を追跡している。

【0004】 トレース装置1は、マイクロコンピュータから出力される複数の基本タイミング信号10によりデータIおよびデータIIの記憶タイミングが制御されている。つまり、基本タイミング信号10aと10bとのOR信号4aはトレースメモリ2と第2バッファ12に接続されており、またその反転信号が第1バッファ11に

接続されている。

【0005】 これにより、第1バッファ11に格納されたデータIを記憶させるか、第2バッファ12に格納されたデータIIを記憶させるかの切り換えと、トレースメモリ2の上位空間と下位空間（上位と下位との2つに分けた際のそれぞれの空間で、トレースメモリ2の番地を、例えば0H～0FFFHまでの下位の番地と1000H～1FFFHまでの上位の番地とに分けた際のそれぞれの空間）の選択が成される。

【0006】 また、基本タイミング信号10eと10fとのOR信号4bに基づいて、データIおよびデータIIのトレースメモリ2への書き込みが制御される。図4は、このトレース装置1におけるタイミングチャートであり、これに基づいてトレースメモリ2へのデータIおよびデータIIの書き込みとカウンタ3のカウントアップが制御される。

【0007】 すなわち、基本タイミング信号10aまたは10bが出力されているときにトレースメモリ2への信号4aがHigh Level（以下、「H」とする）となりトレースメモリ2の上位空間が選択される。また、同時に第1バッファ11へLow Level（以下、「L」とする）信号が入力されるため、第1バッファ11が選択され、ここに格納されたデータIがトレースメモリ2側へ出力される。そして、この出力の際に信号4bが「L」となっている場合（図4のA参照）、データIがトレースメモリ2に書き込まれることになる。

【0008】 一方、基本タイミング信号10cまたは10dが出力されているときにはトレースメモリ2への信号4aが「L」となっているためトレースメモリ2の下位空間が選択されている。この際、第2バッファ12へ「H」の信号が入力されるため第2バッファ12が選択され、ここに格納されたデータIIがトレースメモリ2側へ出力されることになる。そして、この出力の際に信号4bが「L」となっている場合（図4のB参照）、データIIがトレースメモリ2に書き込まれることになる。

【0009】 2つのデータIおよびデータIIの書き込みが終了して基本タイミング信号10dの「L」となった際に信号10d／が「H」となり、カウンタ3がカウントアップされることになる。これを繰り返すことにより、1つのトレースメモリ2に2つのデータIおよびデータIIを時分割で記憶させることができる。

## 【0010】

【発明が解決しようとする課題】 しかしながら、このようなプログラムのトレース装置には次のような問題がある。すなわち、このトレース装置では複数の基本タイミング信号に基づいてデータの記憶を制御しているため、マイクロコンピュータの動作が高速化され基本タイミング信号の信号幅の減少や信号出力の減少が起こった場合にはこれに対応するために複雑な回路を用いる必要があ

る。また、マイクロコンピュータの種類によって基本タイミング信号を生成する回路が異なるため、トレース装置の回路を統一するのは困難である。よって、本発明はマイクロコンピュータの動作周波数等が異なる場合であっても対応できるプログラムのトレース装置を提供することを目的とする。

#### 【0011】

【課題を解決するための手段】本発明は、このような課題を解決するために成されたプログラムのトレース装置である。すなわち、このトレース装置は、プログラムの実行によりマイクロコンピュータから出力される複数のデータをそれぞれ順次格納するための複数のバッファ

と、これらのバッファのうち選択された一つに格納されたデータを所定の番地に記憶するトレースメモリと、トレースメモリに対してデータが記憶される番地を指示するためのカウンタと、基本タイミング信号に基づいて複数のバッファのうち一つを選択するための選択信号およびトレースメモリに対してデータの書き込みを指示する書き込み信号およびカウンタに対するカウント制御信号を発生させる信号制御部とを備えており、この信号制御部を、一つの基本タイミング信号の入力をトリガとして遅延時間がそれぞれ異なる複数の遅延信号を発生させる遅延回路と、この複数の遅延信号を用いて選択信号、書き込み信号およびカウント制御信号をそれぞれ発生させる制御回路とから構成するものである。

#### 【0012】

【作用】信号制御部に設けられた遅延回路により、一つの基本タイミング信号の入力をトリガとして遅延時間がそれぞれ異なる複数の遅延信号を得ることができ、マイクロコンピュータの動作速度や基本タイミング信号の出力数等に依存しない制御用の信号を得ることができる。また、信号制御部に設けられた制御回路により、遅延回路からの複数の遅延信号のうちの一つを用いたり、また複数の組合せたりして選択信号や書き込み信号およびカウント制御信号を発生させてデータをトレースメモリに時分割して記憶することができるようになる。

#### 【0013】

【実施例】以下に、本発明のプログラムのトレース装置の実施例を図に基づいて説明する。図1は本発明のトレース装置を説明するブロック図、図2は本発明のトレース装置におけるタイミングチャートである。

【0014】図1に示すように、このトレース装置1は、マイクロコンピュータでのプログラムの実行により出力されるデータをメモリに記憶し、プログラムの終了後にそのメモリ内のデータを参照することで動作の履歴を追跡するものであり、主な構成として、例えばデータIおよびデータIIの2種類のデータを順次格納する第1バッファ11および第2バッファ12と、これらのデータIおよびデータIIを記憶するためのトレースメモリ2と、記憶する番地を指示するカウンタ3と、各種信号の制御

を行うための信号制御部4とから成るものである。

【0015】しかもこの信号制御部4は、例えばマイクロコンピュータから出力される一つの基本タイミング信号10をトリガとして信号Aを発生させ、さらに発生時点が一定間隔ずつ遅延する信号B～Jを出力する遅延回路41と、これらの信号A～Jを用いて各種の制御信号を発生させる制御回路42とから構成されている。

【0016】遅延回路41は遅延素子43と所定のフリップフロップ44とから構成されており、一つの基本タイミング信号10をフリップフロップ44に入力して信号Aを出力し、その信号Aを遅延素子43に入力することで信号Aに基づく遅延信号B～Jを出力している。

【0017】次に、このトレース装置1の信号制御を図2に基づいて説明する。この基本タイミング信号10は、一定間隔で一定幅のパルス信号から成るものであり、例えばマイクロコンピュータから出力されるもののうちの一つである。この基本タイミング信号10が図1に示す遅延回路41のフリップフロップ44に入力されると、その立ち上がりトリガとして信号Aが「L」となり、この信号Aが遅延素子43に入力される。すなわち、基本タイミング信号10の信号幅に関係なくその立ち上がりに基づいて信号Aが出力されることになる。

【0018】遅延素子43はこの信号Aを受けることで一定の遅延間隔で「L」となる信号B～Jを順次出力する。また、フリップフロップ44は、遅延素子43からの信号CとFとのAND信号である信号CFが「L」となることでリセットされるようになっており、これにより信号Aが「H」となって遅延素子43に入力され、順次信号B～Jが「H」となる。つまり、信号A～Jの信号幅は基本タイミング信号10の信号幅や信号速度に関係なく遅延素子43からの遅延信号の組合せにより決定されることになる。

【0019】遅延回路41からはこの信号A～Jが出力され、そのうちの信号A、G、H、Iが制御回路42に入力されることになる。制御回路42は2つのORゲートから構成されており、そのうちの一方のORゲートへ信号Gと信号Iとが入力されている。また、他方のORゲートへは信号Aと信号Hとが入力されている。

【0020】一方のORゲートからの出力信号42aは第1バッファ11および第2バッファ12へ入力されており、例えば、出力信号42aが「H」となっている場合には第1バッファ11に「L」の入力されてこれが選択されることになる。また、出力信号42aが「L」となっている場合には第2バッファ12に「L」が入力されてこれが選択されることになる。つまり、この出力信号42aによって第1バッファ11を選択するか、または第2バッファ12を選択するかの制御を行う。

【0021】さらに、制御回路42の他方のORゲートからの出力信号42bはトレースメモリ2に入力されており、出力信号42bが「L」となった場合に書き込み

が成されることになる。すなわち、信号Aが「L」の場合（図2中○印部分）または信号Hが「L」の場合（図2中△印部分）に出力信号42bが「L」となり、それぞれの時点で選択されているバッファ（第1バッファ11または第2バッファ12）に格納されたデータIまたはデータIIがトレースメモリ2の所定番地へ書き込まれることになる。

【0022】つまり、信号Aが「L」となっている場合には第1バッファ11が選択されており、これと出力信号42bとが「L」となっている場合（図2中A部分）に第1バッファ11のデータIがトレースメモリ2へ書き込まれる。一方、信号Hが「L」となっている場合には第2バッファ12が選択されており、これと出力信号42bとが「L」となっている場合（図2中B部分）に第2バッファ12のデータIIがトレースメモリ2へ書き込まれることになる。

【0023】また、第1バッファ11と第2バッファ12との選択を行うための出力信号42aはトレースメモリ2の最上位ビットに入力されており、上位空間または下位空間を選択するようになっている。すなわち、出力信号42aが「H」となっている場合には第1バッファ11が選択され、またトレースメモリ2の最上位ビットへ「L」へは入力され下位空間が選択され、トレースメモリ2の下位空間の番地へデータIが書き込まれる。一方、出力信号42aが「L」となっている場合には第2バッファ12が選択され、またトレースメモリ2の最上位ビットへは「H」が入力され上位空間が選択され、トレースメモリ2の上位空間の番地へデータIIが書き込まれる。

【0024】また、このトレースメモリ2へ番地を指示するためのカウンタ3には遅延素子43からの信号Jが入力されている。信号Jは遅延信号のうち最後に立ち上がるものであり、これが図2中矢印に示すように「H」となった際にカウンタ3がカウントアップされることになる。すなわち、データIおよびデータIIをトレースメモリ2へ一回書き込む毎にカウンタ3がカウントアップし、次の書き込みの際には次の番地を指示することになる。

【0025】ここまでの一連の動作を繰り返すことにより、一つの基本タイミング信号に基づいてデータIおよびデータIIを順次トレースメモリ2へ書き込むことができ、プログラムの実行終了後にこの書き込まれた内容を参照することでプログラムの追跡調査を行うことができるようになる。

【0026】なお、本実施例においてマイクロコンピュ

ータから出力されるデータをデータIとデータIIの2種類を例とし、また、それぞれのデータを格納するためのバッファを第1バッファ11と第2バッファ12として説明したが本発明はこれに限定されることはない。また、一つの基本タイミング信号10の入力をトリガとして各種の信号を発生させているため、マイクロコンピュータから出力される基本タイミング信号10以外の信号であってもマイクロコンピュータとリンクするものであればそれを基本タイミング信号10として用いることも可能である。

【0027】

【発明の効果】以上説明したように、本発明のプログラムのトレース装置によれば次のような効果がある。すなわち、一つの基本タイミング信号の入力をトリガとして遅延信号を発生させ、この遅延信号を用いて各種の信号を制御しているため、マイクロコンピュータの動作が高速化されて基本タイミング信号の信号幅が減少したり、信号出力の減少が起きても確実にデータをトレースメモリへ書き込むことが可能となる。また、一つの基本タイミング信号を入力すれば足りるため特別なタイミングを必要とせず、動作周波数や出力タイミング等の異なるマイクロコンピュータであっても対応が可能となり、トレース装置の回路を統一化を図ることが可能となる。

【図面の簡単な説明】

【図1】本発明のトレース装置を説明するブロック図である。

【図2】本発明のトレース装置におけるタイミングチャートである。

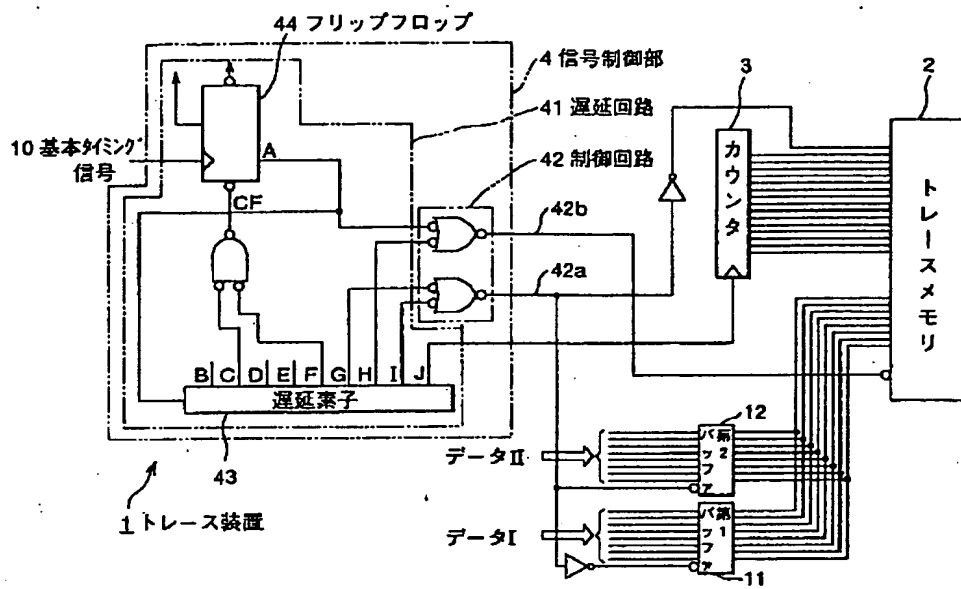
【図3】従来のトレース装置を説明するブロック図である。

【図4】従来のトレース装置におけるタイミングチャートである。

【符号の説明】

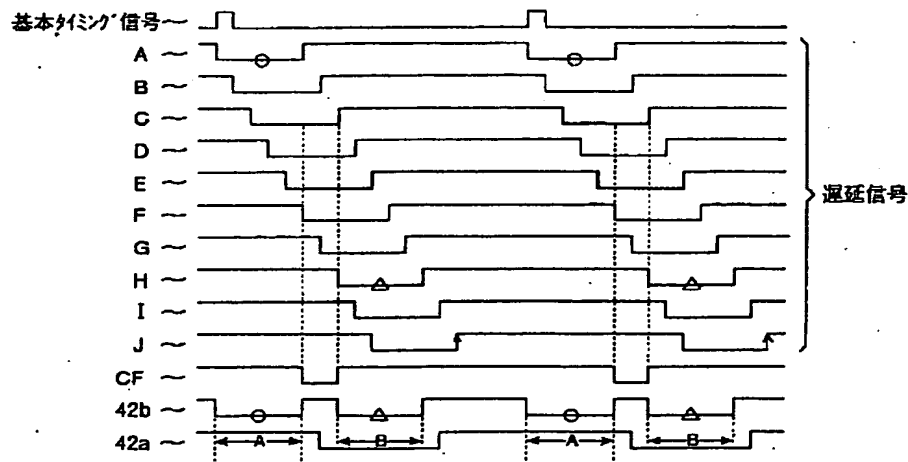
- 1   トレース装置
- 2   トレースメモリ
- 3   カウンタ
- 4   信号制御部
- 10   基本タイミング信号
- 11   第1バッファ
- 12   第2バッファ
- 41   遅延回路
- 42   制御回路
- 43   遅延素子
- 44   フリップフロップ

【図1】



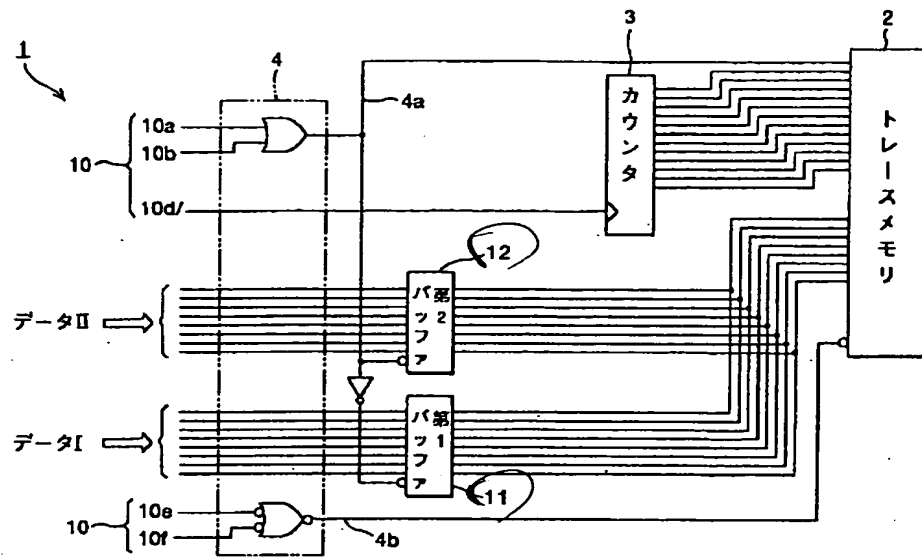
本発明を説明するブロック図

【図2】



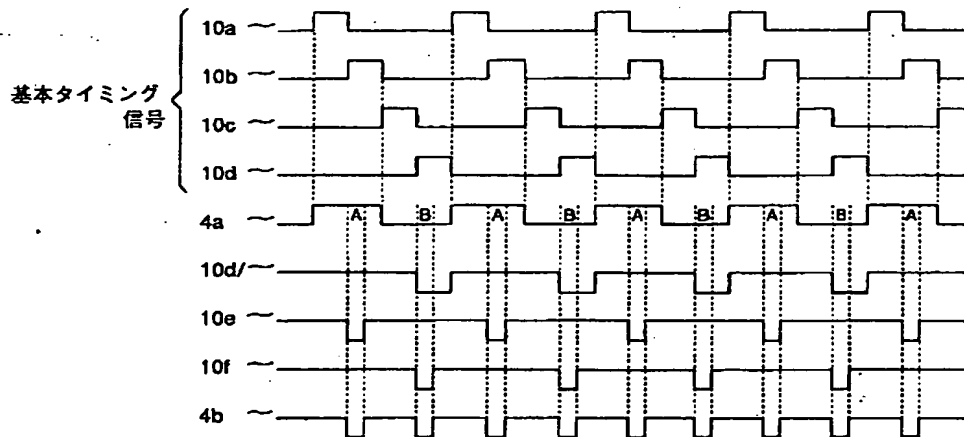
トレース装置におけるタイミングチャート

【図 3】



従来例を説明するブロック図

【図 4】



従来のトレース装置におけるタイミングチャート